



eНано

Образовательная онлайн-платформа edunano.ru

e-mail: edunano@enano.info

тел: +7 (989) 563-06-55

Курс: «Проектирование цифровых библиотек стандартных ячеек и цифровых СФ-блоков»

На курсе вы получите знания в области достижений отечественной и зарубежной науки и техники в области проектирования топологии и технологических процессов микроэлектроники

Стоимость обучения: 0 Р

Когда: 60 дней с момента оплаты

Тема Микроэлектроника, Профстандарт

Формат Курс

Уровень Базовый

Тип обучения Самостоятельно

ОПИСАНИЕ КУРСА

В курсе даются основы логического синтеза, ключевые этапы проектирования СФ-блоков, основные типы цифровых логических вентилей, образующие библиотеку стандартных элементов, а также основы проектирования и синтеза топологии цифровых устройств и основы поведенческого описания цифровых устройств.

Целью курса является повышение профессионального уровня, необходимого для реализации профессиональной деятельности в рамках профессионального стандарта

«Инженер-конструктор по разработке цифровых библиотек стандартных ячеек и цифровых СФ-блоков»:

- разработка принципиальных электрических схем и топологии цифровых логических вентилей (стандартных ячеек);
- моделирование, анализ результатов моделирования разработанных электрических схем цифровых логических вентилей, характеристика ячеек;
- разработка, логической схемы, топологии, моделирование различных представлений схем цифровых СФ-блоков.

БУДЕТ ПОЛЕЗНО:

- Инженерам-электроникам
- Инженерам по связи и приборостроению

ВЫ НАУЧИТЕСЬ:

- Проектировать электрические схемы простейших логических элементов, рассчитывать параметры элементов составляющих электрические схемы
- Проводить функциональное и схемотехническое моделирование
- Оценивать основные характеристики элементов цифровых СФ-блоков
- Разрабатывать поведенческие описания моделей стандартных элементов библиотеки и поведенческие описания цифровых СФ-блоков
- Выбирать средства моделирования

По окончании курса – выдаем **Электронный сертификат АНО "еНано"**

ВЫ БУДЕТЕ:

- Слушать видеолекции
- Проходить тестирование

ПРОГРАММА

1. Разработка электрических схем логических вентиляей
2. Топология логических вентиляей
3. Характеризация логических вентиляей
4. Введение в VERILOG
5. Описание цифровых сложно функциональных блоков на языке VERILOG
6. Подготовка TESTBENCH для верификации устройств
7. Функционально логическое моделирование
8. Логический синтез цифровых СФ-блоков
9. Схемотехническое моделирование цифровых СФ-блоков
10. Синтез топологии цифровых СФ-блоков

ЦИФРОВЫЕ НАВЫКИ:

- Практические навыки работы с системой дистанционного обучения Освоение
- на практике правил работы с электронным курсом в слайдовом и/или видеоформате
- Опыт составления информационных запросов и поиска необходимой информации

АВТОРЫ:

ШВЕЦ АЛЕКСАНДР ВАЛЕРЬЕВИЧ Доцент каф. ИЭМС МИЭТ